

FPGA intimně

Marek Vašut <marek.vasut@gmail.com>

March 6, 2016

- ▶ Custodian at U-Boot bootloader
- ▶ Linux kernel hacker
- ▶ oe-core contributor (Yocto/OE/Poky)
- ▶ FPGA enthusiast

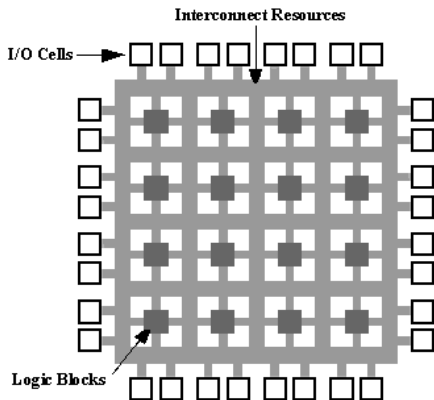
- ▶ Úvod do FPGA
- ▶ Open-Source nástroje pro práci s FPGA
- ▶ Podrobnosti technologie FPGA
- ▶ Reverse-engineering FPGA prakticky

- ▶ Zkratka pro Field-Programmable Gate Array
- ▶ Programovatelný obvod umožňující implementovat uživatelskou logickou funkci
 - ▶ $Y = f(A_0, \dots, A_n)$ $A_0, \dots, A_n \in \{0, 1\}; Y \in \{0, 1\}^*$

Co lze s PLD dělat?

- ▶ Blikat LED :-)
- ▶ Samplování rychlých dějů (např. z ADC)
- ▶ Generování rychlých dějů (např. pro DAC)
- ▶ Implementace obskurních sběrnic a protokolů
- ▶ Rychlé paralelní transformace (např. obrazu)
- ▶ ...
- ▶ Syntetizovat CPU a nabootovat např. Linux
 - ▶ Existuje model ARM (arm7tdmi, arm9, ...)
 - ▶ Existuje model SuperH2 (J-core, J2)
 - ▶ Existuje model OpenRISC, RISC-V, ...
 - ▶ Existuje model m68k, Z80, MOS6502
 - ▶ Existuje model i486SX (ao486), Pentium (v586) ...

- ▶ 196x: Užití PROM pro implementaci logické funkce
- ▶ 1970: TMS2000 – programování při výrobě pomoci masky
- ▶ 197x: Signetics 82S100 PLA
- ▶ 1978: MMI PAL
- ▶ 1984: Altera EP300 / 1985: Xilinx XC2064
- ▶ 1985: Lattice GAL



- ▶ Založeno na LUT a SRAM:
 - ▶ Nejmenší blok je LE (logic element)
 - ▶ Sdruženo do LAB (logic array block)
 - ▶ LAB propojeny přes PI (programmable interconnect)
 - ▶ Komunikace s FPGA přes IOB (I/O block)
- ▶ Speciální bloky:
 - ▶ Block RAM
 - ▶ DSP
 - ▶ SerDes, PCIe, ...

W.T.Freeman

<http://www.vision.caltech.edu/CNS248/Fpga/fpga1a.gif>

CC BY 2.5: <http://creativecommons.org/licenses/by/2.5/>

Syntéza bitstreamu pro FPGA se skládá z několika kroků:

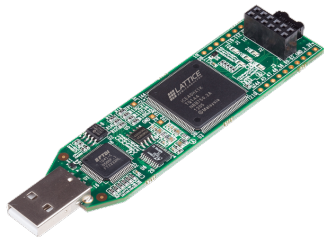
- ▶ Analysis and synthesis
- ▶ Place and route
- ▶ Assembler

- ▶ Timing analysis, ...

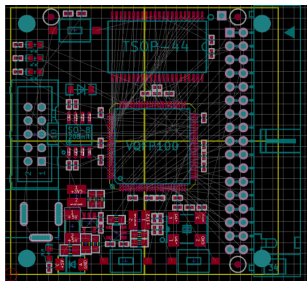
- ▶ Primarni image
 - ▶ Mnoho informaci
 - ▶ Muze byt velmi odlisny od FPGA image
- ▶ Sekundarni image
 - ▶ Vetsinou blizky technologii
 - ▶ Hlavicka + raw bitstream
 - ▶ Mnoho ruznych sekundarnich formatu
- ▶ Lze konvertovat primarni na sekundarni

iCE40 IceStick

- ▶ Open-Source toolchain – Project IceStorm
- ▶ iCE40-LP1K...8K , iCE40-HX1K...8K



Lattice IceStick



Olimex iCE40HX1K-EVB

Open-Source toolchain pro Lattice iCE40 FPGA

- ▶ Yosys – Verilog synthesis
<http://www.clifford.at/yosys/>
- ▶ Arachne PnR – Place and route
<https://github.com/cseed/arachne-pnr>
- ▶ IceTools – Assembler, timing analysis, ...
<http://www.clifford.at/icestorm/>

- ▶ Verilog (2005) synthesis suite
- ▶ Konvertuje Verilog/BLIF/... na BLIF/EDIF/Verilog/...
- ▶ Obsahuje nástroje pro formální verifikace designu
- ▶ Obsahuje nástroje pro optimalizace designu
- ▶ Podporuje mapování na standardní ASIC buňky
- ▶ Podporuje mapování na Xilinx 7. generace
- ▶ Podporuje mapování na Lattice iCE40

- ▶ Place and Route pro iCE40
- ▶ Vstup je BLIF netlist
(Berkeley Logic Interchange Format)
- ▶ Výstup je konfigurace iCE40 v ASCII formátu
- ▶ Mapování vstupu na technologii iCE40
- ▶ Používá se navíc PCF soubor pro I/O

- ▶ Nástroje a dokumentace pro iCE40 FPGA
- ▶ Konverze bitstreamu mezi binární a textovou reprezentací
- ▶ Konverze textové reprezentace na netlist
- ▶ Různé pomocné nástroje
- ▶ Assembler pro iCE40

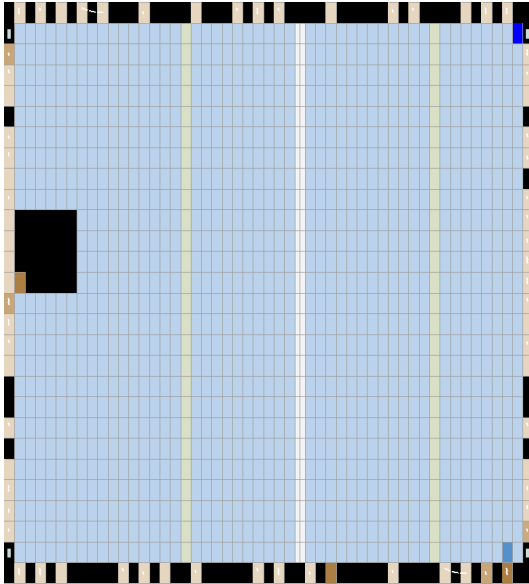
- ▶ DeBit – <https://code.google.com/archive/p/debit/>
- ▶ Dekoder bitstreamu pro starsi Xilinx FPGA
- ▶ Chybi dokumentace bitstreamu
- ▶ Tragicka kvalita kodu

- ▶ DeBit – <https://code.google.com/archive/p/debit/>
- ▶ Rudimentarni podpora pro Cyclone II
- ▶ Projekt nejevi znamky zivota

Jak na to?

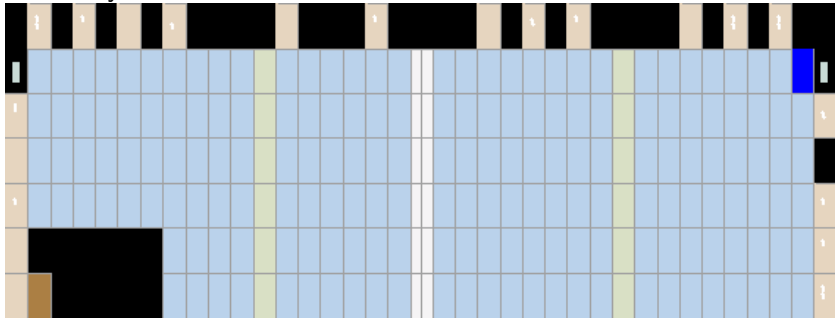
- ▶ Připravte se na zdlouhavy proces
- ▶ Proces je výpočetně náročný
- ▶ Radeji použijte malé a levné FPGA
- ▶ FPGA je možné zničit
- ▶ Vždy rozebírat pouze jednu komponentu flow

- ▶ Analysis and Synthesis lze pomoci gHDL
- ▶ Place and Route lze pomoci VPR
- ▶ Assembler neexistuje

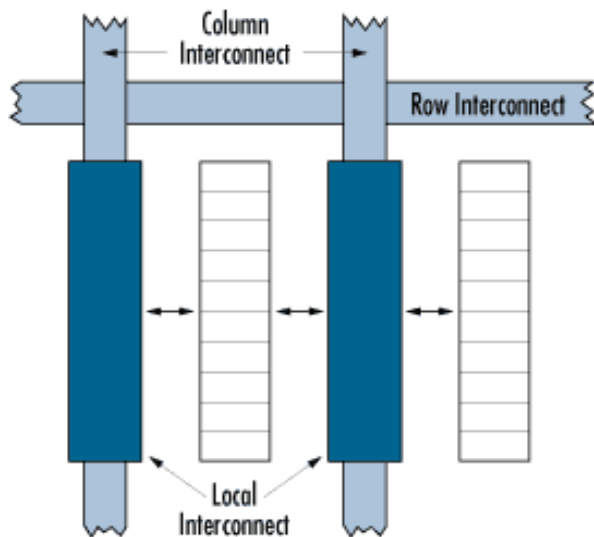


Altera Cyclone II EP2C20 Floor Plan

Altera Cyclone II detail

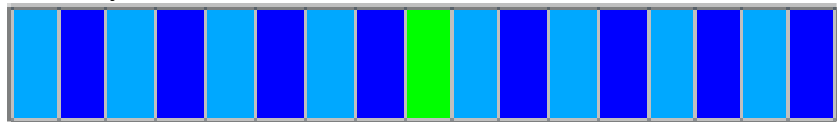


- | | | | |
|-----|---------------------|-------|----------------|
| LAB | – Logic Array Block | M9K | – Memory Block |
| DSP | – DSP Block | I/O | – I/O Block |
| PP | – Controller Block | empty | – Empty block |

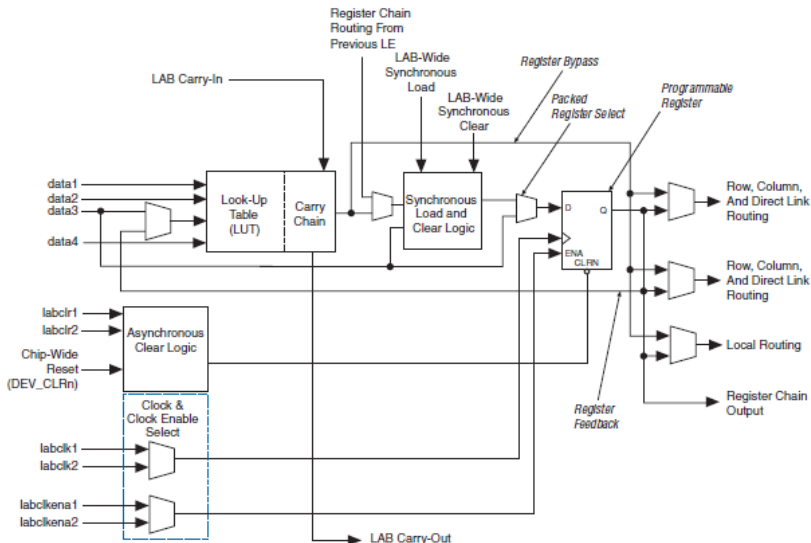


Altera Cyclone LAB

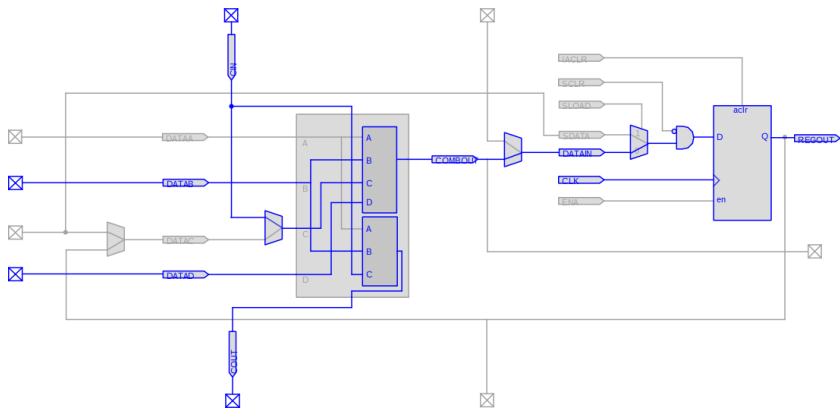
Altera Cyclone IV LAB



LE – LE slice CTL – Control logic



Altera Cyclone II LE



Altera Cyclone IV LE

- ▶ LUT je velmi snadno lokalizovatelná
- ▶ Design tools obsahují nástroje pro ECO (Engineering Change Order)
- ▶ n-krát zkompilovat design, hledat změny
- ▶ Lze si vytvořit představu o organizaci bitstreamu
- ▶ Pomocí ECO lze také najít muxy
- ▶ Lze odhadnout velikost LE slice a LAB slice
- ▶ Control block lze RE podobně jako LE

```
|....EZ.....BAAABBBBBBAA.....|
|.....BAAABBBBBBAA.....|
|.....QLLLLLLLLMDCDDDDDCCCC.....|
|....S0..LLLLLLLLNDCDDDDDCCCC.....|
+-----+
|....so..l1111111nbaaabbbbaa.....|
|.....q1111111mbaaabbbbaa.....|
|.....dcddddcccc.....|
|....ez.....dcddddcccc.....|
```

L - top-side LUT table

l - bottom-side LUT table

[...]

M/m - C input mux configuration (combinatorial mux #1)

0 ... input from external port

1 ... input from REGOUT signal

[...]

Z/Z - aCLR signal enable -- 0:disabled 1:enabled

[...]

- ▶ O interconnectu existuje mnoho paperu
- ▶ Aktivni research v oblasti konektivity v FPGA
- ▶ FPGA obsahují mnoho specialních propojení
- ▶ Mnoho driverů se specialními vlastnostmi
- ▶ Presně identifikovat bity konfiguruje interconnect je problém
- ▶ Špatná konfigurace může poškodit FPGA

Děkuji za pozornost!

Kontakt: Marek Vašut <marek.vasut@gmail.com>